

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

01161533 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 58-098933 [JP 58098933 A]

PUBLISHED: June 13, 1983 (19830613)

INVENTOR(s): IWAMATSU SEIICHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 56-197868 [JP 81197868]

FILED: December 09, 1981 (19811209)

INTL CLASS: [3] H01L-021/31; H01L-021/26; H01L-021/324

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JOURNAL: Section: E, Section No. 196, Vol. 07, No. 200, Pg. 75,
September 03, 1983 (19830903)

ABSTRACT

PURPOSE: To reduce the boundary level density of a dielectric film by instantaneously emitting a light ray from the surface to the film accumulated on a semiconductor substrate by a chemical vapor deposition method (CVD).

CONSTITUTION: A dielectric film 4 or the like such as an SiO₂ film or an Si₂N₄ film or the like is accumulated by a chemical vapor deposition method or vacuum vapor deposition method or the like on upper or lower or both side surfaces of a semiconductor substrate 3 (or a semiconductor film). A light ray such as an ultraviolet ray or visible light ray or infrared ray or the like is emitted instantaneously within 10sec from the surface to the film 4. Accordingly, the boundary between the substrate 3 and the film 4 is instantaneously heated by this light annealing treatment, thereby reducing the boundary level density.

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.
003718223

WPI Acc No: 1983-714415/198329

**Minimising interface state of dielectric film on semiconductor - by
chemical vapour deposition or vacuum deposition NoAbstract**

Patent Assignee: SUWA SEIKOSHA KK (SUWA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<u>JP 58098933</u>	A	19830613				198329 B

Priority Applications (No Type Date): JP 81197868 A 19811209

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 58098933	A	4		

Title Terms: MINIMISE; INTERFACE; STATE; DIELECTRIC; FILM; SEMICONDUCTOR;
CHEMICAL; VAPOUR; DEPOSIT; VACUUM; DEPOSIT; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/31

File Segment: CPI; EPI

3/14/3

⑯ 日本国特許庁 (JP)

訂正有り
⑰ 特許出願公開

⑯ 公開特許公報 (A)

昭58-98933

⑮ Int. Cl.³
H 01 L 21/31
21/26
21/324

識別記号

厅内整理番号
7739-5F
6851-5F
6851-5F

⑯ 公開 昭和58年(1983)6月13日

発明の数 1
審査請求 未請求

(全 2 頁)

④ 半導体装置の製造方法

⑤ 特願 昭56-197868
⑥ 出願 昭56(1981)12月9日
⑦ 発明者 岩松誠一

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑧ 出願人 株式会社諏訪精工舎
東京都中央区銀座4丁目3番4号
⑨ 代理人 弁理士 最上務

明細書

1 発明の名称 半導体装置の製造方法

2 特許請求の範囲

半導体基板または半導体膜の上面または下面、あるいは両面には、化学蒸着法あるいは真空蒸着法等で堆積されたS10_x膜あるいはS1_xN_y膜等の誘電体膜等が形成され、該誘電体膜のいずれかの表面から紫外線、可視光線あるいは赤外線等の光線を10秒以内の瞬時照射を行なうことを特徴とする半導体装置の製造方法。

3 発明の詳細な説明

本発明は、半導体装置の製造方法に関する。

従来、S1半導体基板表面に直接接する誘電体S10_xやS1_xN_y膜等の形成は熱酸化あるいは熱重合法によるのが通常とされている。その理由は、熱酸化あるいは熱重合処理が高温で行なわれ、形成された誘電体膜と半導体基板との界面単位密

度が非常に小さくなるからである。

しかし、上記熱酸化法等による従来技術では、半導体基板が長時間高温に晒されたり、S1以外の半導体基板上に熱酸化膜を形成するのが困難となる等の欠点があつた。

本発明は、かかる従来技術の欠点をなくし、化学蒸着(CVD)法あるいは真空蒸着法で半導体基板上に堆積した誘電体膜の界面単位密度を小さくする方法を提供することを目的とする。

上記目的を達成するための本発明の基本的な構成は、半導体基板または半導体膜の上面または下面あるいは両面には、化学蒸着法(CVD)あるいは真空蒸着法等で堆積された誘電体膜のいずれかの表面から光線を照射することを特徴とする。

以下、本発明を実施例にそつて詳細に説明する。

いま、S1ウエーハ上にモノシリコンの熱分解により400℃でSi_xN_yのS10_x膜を形成し、酸素ガス雰囲気の石英管中に試料を設置し、S10_x膜表面から波長10μm程度の光線を出すランプで光照射を10秒程度行ない、S10_xとS1の

界面を少なくとも1200°C程度に瞬時加熱すると、当初81と810_x界面の界面単位密度が $1 \times 10^{12}/\text{cm}^2$ 以上あつたものが、 $5 \times 10^{10}/\text{cm}^2$ に低減することができる。

第1図は、前記光照射法の概略を示したもので、1は石英管、2は試料台、3は81ウエーハ、4はCVD・810_x層、5はランプ、6はガス導入口である。

さらに、81ウエーハの両面にCVD・810_x層を形成した場合には、81基板そのものは赤外線に対し透明なため、上面810_xと81および下面810_xと81の界面は共に加熱され、界面単位密度を下げることができる。

さらに、照射光の波長が短かい場合には、81のどく表面を光加熱することとなり、やはり界面単位密度は低減できる。

さらに、光源として炭酸ガス・レーザーやカーボン・ヒーターによる赤外線放射光を用いることもできる。

さらに、光照射はパルス状で、且つ+1秒程度

の短時間照射でも同等の効果がある。

以上の如く、光照射アニールにより堆積誘電体層の界面単位密度が小さくできることにより、半導体接合製造が簡便になつたり、GaNや化合物等の低融点半導体基板上への誘電体層パンシップインションが、安定にかつ容易に、可能となる効果がある。

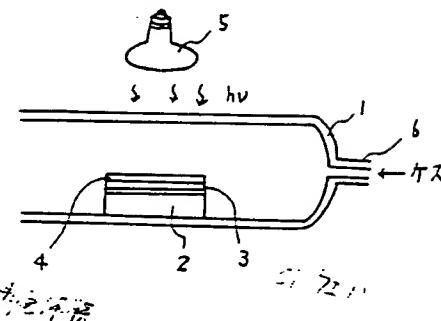
4 図面の簡単な説明

第1図は、本発明による光アニール処理法の一実施例を簡単に示したものである。

1 … 石英管	2 … 支持台
3 … 81ウエーハ	4 … 誘電体層
5 … 光 源	6 … ガス導入口

以 上

出願人 株式会社 錦町精工舎
代理人 弁理士 岩上



第1図

特許法第17条の2の規定による補正の掲載

昭和56年特許願第 197868号(特開昭
58-98933号, 昭和58年6月13日
発行 公開特許公報 58-990号掲載)について
は特許法第17条の2の規定による補正があつたので下記のとおり掲載する。 7(2)

Int.C1.	識別記号	庁内整理番号
H01L 21/31		6708-5F
21/26		7738-5F
21/324		7738-5F

手続補正書(自効)

63 12月9日
昭和年月日

特許庁長官 吉田文毅 職

1. 事件の表示

昭和56年特許第197863号

2. 発明の名称

半導体装置の製造方法

3. 補正する者

事件との関係 出願人

東京都新宿区西新宿2丁目4番1号

(236) セイコーエプソン株式会社

代表取締役 中村直也

株式会社

4. 代理人

〒104 東京都中央区京橋2丁目6番21号

株式会社 脊部セイコー内 錦上特許事務所

(4664) 弁理士 最上務

連絡先 563-2111 内線 631~635 担当林



5. 補正により増加する発明の数

○

6. 補正の対象

明細書(特許請求の範囲、発明の詳細な説明)

7. 補正の内容

別紙の通り



昭和60年11月14日名称及び住所変更済(一括)

手続補正書

- 特許請求の範囲を別紙の如く補正する。
- 明細書第4頁5行目から6行目
「バッシブイシジョン」とあるを
「バッシベイション」と補正する。

以上

代理人 最上務

特許請求の範囲

半導体基板または半導体膜の表面に、化学蒸着法あるいは真空蒸着法等でSiO₂膜あるいはSi_xN_y膜等の誘電体膜を形成する工程、前記誘電体膜の表面に紫外線、可視光線あるいは赤外線等の光線を短時間照射して、前記半導体基板または前記半導体膜と前記誘電体膜との界面準位密度を小さくする工程を有することを特徴とする半導体装置の製造方法。